

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308097

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H03L 7/08

G01R 23/15

H03K 5/26

H03L 7/087

(21)Application number : 10-114491

(71)Applicant : SONY CORP

(22)Date of filing : 24.04.1998

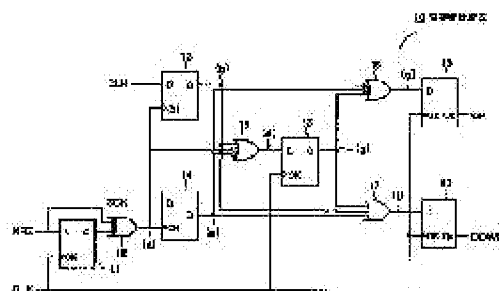
(72)Inventor : KUBO TATSUYA
TAMAKI AKIRA

(54) FREQUENCY COMPARATOR AND PLL CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enable frequency comparison with only an NRZ signal, without requiring a reference clock outputting a comparison result, only when existence of change of data is detected by a detecting means.

SOLUTION: The change of the data of an NRZ signal is detected by a D-FF11 and an EX-OR gate 12, and the position of the change of NRZ data in a single cycle of a clock CLK is detected by D-FF 13, 14. A reference point to detect the cycle of the NRZ signal is set by an OR gate 15 and D-FF 18. The phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when the phase is found shifted, an UP-signal for raising the frequency is outputted by an OR gate 16 and D-FF 19, the phase of the NRZ signal in the next one cycle of the clock CLK is detected, and when the phase has been shifted, a DOWN-signal for lowering the frequency is outputted by an OR gate 17 and D-FF20. Thus, the frequency comparison can be performed with only the NRZ signal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-308097

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 L 7/08

H 0 3 L 7/08

M

G 0 1 R 23/15

G 0 1 R 23/15

H

Z

H 0 3 K 5/26

H 0 3 K 5/26

F

H 0 3 L 7/087

H 0 3 L 7/08

P

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号

特願平10-114491

(22) 出願日

平成10年(1998)4月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 久保 達哉

東京都目黒区中目黒4-8-2 株式会社

エヌジェーケー内

(72) 発明者 玉木 亮

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

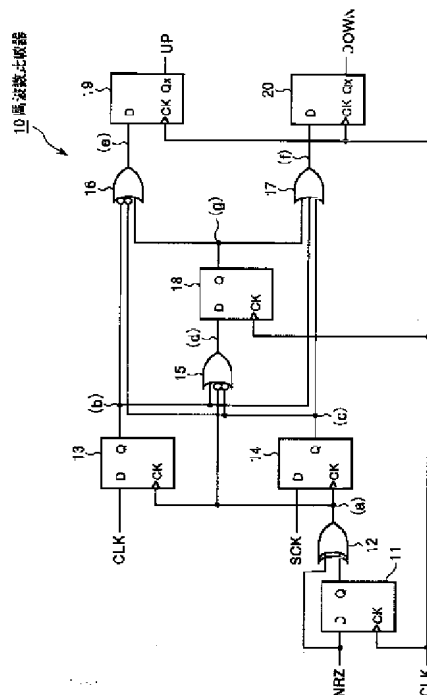
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 周波数比較器およびこれを用いたPLL回路

(57) 【要約】

【課題】 NRZデータの変化が連続的でないときでも比較を行うと、UP/DOWNの判定を誤ってしまう可能性があり、この誤りが偶然続くと、例えば本当はUP信号を出力しなければならないところでDOWN信号を出力し続け、ハーモニックロックを起こす危険性がある。

【解決手段】 NRZ信号のデータ変化を検出する手段(11,12)と、クロックCLKおよびこれよりも位相が90°遅れたクロックSCKの論理状態を、NRZ信号のデータ変化があったときに取り込むことにより、クロックCLKの一周期内におけるNRZ信号のデータ変化位置を検出する手段(13,14)と、NRZ信号の周期を検出するための基準点を設定する手段(15,18)と、この基準点をもとにクロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれがあるときUP/DOWN信号を出力する手段(16,19/17,20)とを有する構成とする。



【特許請求の範囲】

【請求項1】 NRZ信号のクロック周波数に対して所定のクロック信号の周波数を比較する周波数比較器であって、

前記クロック信号の一周期の期間内に前記NRZ信号のデータ変化があるか否かを検出する検出手段と、
前記検出手段によってデータ変化があると検出されたときだけ比較結果を出力する比較手段とを備えたことを特徴とする周波数比較器。

【請求項2】 前記検出手段は、前記NRZ信号のデータ変化を検出するデータ変化検出手段と、前記クロック信号およびこれよりも位相が 90° 遅れた補助クロック信号の論理状態を、前記データ検出手段の検出出力にตอบสนองして取り込むことにより、前記クロック信号の一周期内における前記NRZ信号のデータ変化位置を検出する変化位置検出手段とを有することを特徴とする請求項1記載の周波数比較器。

【請求項3】 前記比較手段は、前記NRZ信号の周期を検出するための基準点を設定する設定手段と、前記設定手段によって設定された前記基準点をもとに前記クロック信号の次の一周期の中での前記NRZ信号の位相を検出して前記比較結果を出力する位相検出手段とを有することを特徴とする請求項1記載の周波数比較器。

【請求項4】 電圧制御発振器と、NRZ信号のクロック周波数と前記電圧制御発振器の発振クロックの周波数とを比較する周波数比較器とを有し、前記周波数比較器の比較出力に基づいて前記電圧発振器の発振クロックの周波数を制御するPLL回路であって、

前記周波数比較器は、
前記クロック信号の一周期の期間内に前記NRZ信号のデータ変化があるか否かを検出する検出手段と、
前記検出手段によってデータ変化があると検出されたときだけ比較結果を出力する比較手段とを備えたことを特徴とするPLL回路。

【請求項5】 前記検出手段は、前記NRZ信号のデータ変化を検出するデータ変化検出手段と、前記クロック信号およびこれよりも位相が 90° 遅れた補助クロック信号の論理状態を、前記データ検出手段の検出出力にตอบสนองして取り込むことにより、前記クロック信号の一周期内における前記NRZ信号のデータ変化位置を検出する変化位置検出手段とを有することを特徴とする請求項4記載のPLL回路。

【請求項6】 前記比較手段は、前記NRZ信号の周期を検出するための基準点を設定する設定手段と、前記設定手段によって設定された前記基準点をもとに前記クロック信号の次の一周期の中での前記NRZ信号の位相を検出して前記比較結果を出力する位相検出手段とを有することを特徴とする請求項4記載のPLL回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、周波数比較器およびこれを用いたPLL(phase locked loop)回路に関し、特にNRZ(non return to zero)信号と同期をとるPLL回路とこれに用いて好適な周波数比較器に関する。

【0002】

【従来の技術】NRZ信号と同期をとるPLL回路では、従来、周波数を比較する場合に、電圧制御発振器(VCO)の発振クロックと、NRZ信号に同期した外部からの参照クロックの周波数を比較する構成が採られていた。このPLL回路の回路例を図5に示す。

【0003】図5において、電圧制御発振器101の発振クロックは、位相比較器(PD)102の一方の入力になるとともに、分周器103で $1/n$ (n は自然数)に分周されて周波數位相比較器(PFD)104の一方の入力となる。位相比較器102は、NRZ信号を他方の入力とし、電圧制御発振器101の発振クロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。

【0004】一方、周波數位相比較器104は、NRZ信号に同期した参照クロックを他方の入力とし、 $1/n$ 分周された電圧制御発振器101の発振クロックと参照クロックの周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。

【0005】位相比較器102および周波數位相比較器104の各比較出力は、セクタ105の2入力となる。セクタ105は、外部の回路(図示せず)から与えられる切替信号に基づいて位相比較器102および周波數位相比較器104の各比較出力の一方を選択する。このセクタ105で選択された比較出力は、チャージポンプ回路106およびループフィルタ107を経て電圧制御発振器101にその制御電圧として供給される。

【0006】上記構成のPLL回路においては、まず、セクタ105を周波數位相比較器104側に切り替えて、周波數位相比較器104の比較出力に基づいて、電圧制御発振器101の発振クロックの $1/n$ クロックの周波数を参照クロックの周波数近傍に引き込む処理が行われる。この引き込み処理が終わり、外部の回路から切替信号を与えることにより、セクタ105を位相比較器102側に切り替える。すると、位相比較器102の比較出力に基づいて、電圧制御発振器101の発振クロックをNRZ信号に位相同期させる処理が行われる。

【0007】この従来のPLL回路では、NRZ信号に同期した参照クロックを生成する回路が必要であるとともに、VCOクロックの $1/n$ クロックの周波数が参照クロックの周波数近傍に引き込まれたことを検知し、切替信号を発生してセクタ105を切り替えるための外部回路が必要となるため、その分だけ回路構成が複雑に

なる。また、位相比較器102のループゲインを大きくする必要があるため、PLLトランスファ特性が悪くなるという問題点があった。

【0008】これらの問題を改善するために、NRZ信号に同期した参照クロックを必要とせず、NRZ信号のみで位相を比較する構成のPLL回路がある。このPLL回路の回路例を図6に示す。同図において、電圧制御発振器(VCO)111の発振クロックは、位相比較器(PD)112および周波数比較器(FD)113の各一方の入力となる。位相比較器112および周波数比較器113は、NRZ信号を各他方の入力としている。

【0009】位相比較器112は、電圧制御発振器111の発振クロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。この位相比較器112の比較出力は、チャージポンプ回路114およびループフィルタ115を経て電圧制御発振器111にその位相を制御するための制御電圧として供給される。

【0010】一方、周波数比較器113は、電圧制御発振器111の発振クロックとNRZ信号の周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。この周波数比較器113の比較出力は、チャージポンプ回路116およびループフィルタ117を経て電圧制御発振器111にその周波数を制御するための制御電圧として供給される。

【0011】図7に、周波数比較器113の回路構成の従来例を示す。この従来回路には、NRZ信号、図6の電圧制御発振器111の発振クロック、即ちVCOクロックCLK、このVCOクロックCLKと同相のクロックICLKおよびこのクロックICLKより位相が90°遅れたクロックQCLKがそれぞれ入力されるようになっている。

【0012】図7において、NRZ信号はD-フリップフロップ(以下、D-FFと記す)121のD(データ)入力となるとともに、エクシクルーシブOR(以下、EX-ORと記す)ゲート122の一方の入力となる。D-FF121は、VCOクロックCLKをCK(クロック)入力としている。このD-FF121の正相出力Qは、EX-ORゲート122の他方の入力となる。

【0013】クロックICLK、QCLKは、ANDゲート123、124の各2入力となる。なお、ANDゲート124のクロックICLK側の入力は、負論理入力となっている。これらANDゲート123、124の各出力は、D-FF125、126の各D入力となる。D-FF125、126は、EX-ORゲート122の出力をCK入力とする。

【0014】D-FF125、126の各正相出力Qは

次段のD-FF127、128の各D入力となり、D-FF127、128の各正相出力Qはさらに次段のD-FF129、130の各D入力となるとともに、ANDゲート132、131の各一方の入力となる。これらD-FF127、128、129、130は、VCOクロックCLKをCK入力としている。

【0015】D-FF129、130の各正相出力Qは、ANDゲート131、132の各他方の入力となる。そして、ANDゲート131の出力が周波数を低くするためのDOWN信号として、ANDゲート132の出力が周波数を高くするためのUP信号としてそれぞれ出力されることになる。

【0016】次に、上記構成の周波数比較器の回路動作について、図8のタイミングチャートに基づいて説明する。なお、図8のタイミングチャートにおいて、ANDゲート123の出力を(a)、ANDゲート124の出力を(b)、EX-ORゲート122の出力を(c)とそれぞれ示し、図7の対応する部分には同一符号を付すものとする。

【0017】ANDゲート123の出力(a)は、クロックICLK、QCLKが共に高レベル(以下、“H”レベルと記す)のときに“H”レベルとなり、ANDゲート124の出力(b)は、クロックICLKが低レベル(以下、“L”レベルと記す)、クロックQCLKが“H”レベルのときに“H”レベルとなる。ここで、ANDゲート123の出力(a)が“H”レベルの期間をX、ANDゲート124の出力(b)が“H”レベルの期間をYとする。

【0018】VCOクロックCLKのある周期において、図8のタイミングチャートに示すように、NRZ信号のデータ変化が期間Xに入ると、そのデータ変化がD-FF121およびEX-ORゲート122にて検知され、EX-ORゲート122の出力(c)が“H”レベルとなる。

【0019】このとき、ANDゲート123の出力(a)が“H”レベルであることから、この出力(a)はEX-ORゲート122の出力(c)の遷移タイミングでD-FF125にラッチされる。これにより、D-FF125の正相出力Qが“H”レベルとなる。そして、VCOクロックCLKの次の周期の立上りのタイミングでD-FF125の正相出力QがD-FF127に取り込まれる。

【0020】このVCOクロックCLKの次の周期において、図8のタイミングチャートに示すように、NRZ信号の次のデータ変化が期間Yに入ると、そのデータ変化がD-FF121およびEX-ORゲート122にて検知され、EX-ORゲート122の出力(c)が再び“H”レベルとなる。

【0021】このとき、ANDゲート124の出力(b)が“H”レベルであることから、この出力(b)

はEX-ORゲート122の出力(c)の遷移タイミングでD-FF126に取り込まれる。これにより、D-FF126の正相出力Qが“H”レベルとなる。そして、VCOクロックCLKの次の周期の立上りのタイミングでD-FF126の正相出力QがD-FF128に取り込まれる。

【0022】このとき同時に、D-FF127の正相出力QがD-FF129に取り込まれる。これにより、D-FF128、129の各正相出力Qが共に“H”レベルとなり、ANDゲート131の2入力と共に“H”レベルとなるため、ANDゲート131の出力、即ちUP信号が“H”レベルとなる。

【0023】すなわち、ある周期でNRZ信号のデータ変化が期間Xに入り、次の周期でNRZ信号の次のデータ変化が期間Yに入る場合には、NRZ信号の周期に対してVCOクロックCLKの周期が短い、即ちVCOクロックCLKの周波数が高い訳であるから、VCOクロックCLKの周波数を低くするためのDOWN信号を出力することになる。

【0024】一方、図8のタイミングチャートには示さないが、ある周期でNRZ信号のデータ変化が期間Yに入り、次の周期でNRZ信号の次のデータ変化が期間Xに入る場合には、NRZ信号の周期に対してVCOクロックCLKの周期が長い、即ちVCOクロックCLKの周波数が低い訳であるから、VCOクロックCLKの周波数を高くするためのUP信号を出力することになる。

【0025】

【発明が解決しようとする課題】しかしながら、上述した従来の周波数比較器では、NRZデータが10001のように変化が連続的でないときでも比較を行う構成となっているため、実際には数%の位相のズレが、NRZデータの変化の間が空くことによって数十%のズレとなり、UP/DOWNの判定を誤ってしまう可能性がある。この誤りが偶然続くと、例えば本当はUP信号を出力しなければならないところでDOWN信号を出力し続け、NRZ信号の丁度倍の周期のところでロックする等の、いわゆるハーモニックロックを起こす危険性がある。

【0026】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、参照クロックを必要とせず、NRZ信号のみで周波数比較を行うことができる周波数比較器およびハーモニックロックを起こす心配の無いPLL回路を提供することを目的とする。

【0027】

【課題を解決するための手段】本発明による周波数比較器は、NRZ信号のクロック周波数に対して所定のクロック信号の周波数を比較する周波数比較器であって、クロック信号の一周期の期間内にNRZ信号のデータ変化があるか否かを検出する検出手段と、この検出手段によってデータ変化があると検出されたときだけ比較結果を

出力する比較手段とを備えた構成となっている。

【0028】また、本発明によるPLL回路は、NRZ信号のクロックと電圧制御発振器の発振クロックの周波数を比較する周波数比較器として、上記構成の周波数比較器を用いた構成となっている。

【0029】上記構成の周波数比較器およびこれを用いたPLL回路において、NRZ信号のみを用いて周波数比較を行う際に、先ず、所定のクロック信号（電圧制御発振器の発振クロック）の一周期の期間内でのNRZ信号のデータ変化の有無を検出する。そして、当該クロックの一周期の期間内にデータ変化があるときだけ比較結果を出力する。すなわち、NRZ信号のデータ変化が連続した場合に限り、周波数比較を行ってその比較結果を出力するようにする。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0031】図1は、本発明の一実施形態を示すブロック図である。本実施形態に係る周波数比較器10には、NRZ信号、このNRZ信号のクロック周波数と同じ周波数のクロックCLKおよびこのクロックCLKよりも位相が90°遅れたクロック（補助クロック）SCKがそれぞれ入力される。

【0032】図1において、NRZ信号はD-FF11のD入力となるとともに、EX-ORゲート12の一方の入力となる。D-FF11は、クロックCLKをCK入力としている。このD-FF11の正相出力Qは、EX-ORゲート12の他方の入力となる。

【0033】ここで、NRZデータが変化すると、その変化タイミングのデータがD-FF11で1クロック分遅延されて次のクロックタイミングのデータと共にEX-ORゲート12に入力されることから、EX-ORゲート12の出力は“L”レベルから“H”レベルに遷移する。そして、クロックCLKの立上がりで“L”レベルに戻る。すなわち、D-FF11およびEX-ORゲート12は、NRZ信号のデータ変化を検出する手段を構成している。

【0034】EX-ORゲート12の出力は、D-FF13、14の各CK入力となるとともに、3入力ORゲート15の1入力となる。D-FF13は、クロックCLKをD入力とし、NRZデータが変化したときに、CK入力として与えられるEX-ORゲート12の出力に応答してクロックCLKの論理状態を取り込む。D-FF13の正相出力Qは、ORゲート15の他の1入力となるとともに、3入力ORゲート16、17の各1入力となる。

【0035】D-FF14は、クロックSCKをD入力とし、NRZデータが変化したときに、CK入力として与えられるEX-ORゲート12の出力に応答してクロックSCKの論理状態を取り込む。D-FF14の正相

出力Qは、ORゲート15の残りの一入力となるとともに、ORゲート16、17の各他の一入力となる。これらD-FF13、14は、クロックCLKの一周期内におけるNRZデータの変化位置を検出する手段を構成している。

【0036】3入力ORゲート15の2つの入力、即ちEX-ORゲート12の出力が与えられる入力およびD-FF14の正相出力Qが与えられる入力は、負論理入力となっている。ORゲート15の出力は、D-FF18のD入力となる。D-FF18は、クロックCLKをCK入力とし、その立上りのタイミングでORゲート15の出力の論理状態を取り込む。ORゲート15およびD-FF18は、NRZ信号の周期を検出するための基準点を設定する手段を構成している。

【0037】D-FF18の正相出力QはORゲート16、17の各残りの一入力となる。3入力ORゲート16の2つの入力、即ちD-FF13の正相出力Qが与えられる入力およびD-FF14の正相出力Qが与えられる入力は、負論理入力となっている。ORゲート16、17の各出力は、D-FF19、20の各D入力となる。D-FF19、20は、クロックCLKをCK入力とし、その立上りのタイミングでORゲート16、17の各出力の論理状態を取り込む。

【0038】そして、D-FF19の逆相出力Qxが周波数を高くするためのUP信号として、D-FF20の逆相出力Qxが周波数を低くするためのDOWN信号としてそれぞれ出力されることになる。すなわち、ORゲート16およびD-FF19は、クロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれていときUP信号を出力する手段を、ORゲート17およびD-FF20は、クロックCLKの次の一周期の中でのNRZ信号の位相を検出し、ずれていときDOWN信号を出力する手段をそれぞれ構成している。

【0039】次に、上記構成の本実施形態に係る周波数比較器の回路動作について、図2および図3のタイミングチャートを用いて説明する。

【0040】なお、図2および図3のタイミングチャートにおいて、(a)はEX-ORゲート11の出力を、(b)はD-FF13の正相出力Qを、(c)はD-FF14の正相出力Qを、(d)はORゲート15の出力を、(e)はORゲート16の出力を、(f)はORゲート17の出力を、(g)はD-FF18の正相出力Qをそれぞれ示し、図1の対応する部分には同一符号を付すものとする。

【0041】まず、図2および図3のタイミングチャートにおいて、NRZデータが時刻t3と時刻t4の期間で変化したとすると、EX-ORゲート12の出力(a)が“L”レベルから“H”レベルに遷移する。このとき、クロックCLKが“L”レベル、クロックCLKが“H”レベルの論理状態にあり、その論理状態がD

-FF13、14にそれぞれ取り込まれる。これにより、D-FF13の正相出力Q(b)が“L”レベル、D-FF14の正相出力(c)が“H”レベルとなるため、ORゲート15の出力(d)が“L”レベルとなり、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなる。

【0042】そして、時刻t5でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに、ORゲート15の出力(d)が“H”レベルにそれぞれ戻り、またD-FF18がそれまでのORゲート15の出力(d)の“H”レベルの論理状態を取り込むことにより、その正相出力Q(g)が“L”レベルとなる。この時点が、NRZ信号の周期を検出するための基準点となる。このとき同時に、D-FF19、20がORゲート16、17の各出力(e)、(f)の“H”レベルの論理状態を取り込み、それらの逆相出力QxであるUP信号およびDOWN信号が共に“L”レベル状態にある。

【0043】そして、図2のタイミングチャートに示すように、NRZ信号の次のデータ変化が時刻t6と時刻t7の期間で起こると、EX-ORゲート12の出力(a)が再び“L”レベルから“H”レベルに遷移する。このとき、クロックCLK、SCKが共に“H”レベルの論理状態にあり、その論理状態がD-FF13、14にそれぞれ取り込まれる。これにより、D-FF13の正相出力Q(b)が“H”レベルとなり、D-FF14の正相出力Q(c)が引き続き“H”レベルの状態を維持する。

【0044】これに伴って、ORゲート16の出力(e)が“L”レベルとなり、ORゲート17の出力(f)が引き続き“H”レベルの状態を維持する。そして、時刻t9でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに戻り、またD-FF18がORゲート15の“H”レベルの論理状態を取り込むことにより、その正相出力Q(g)が“H”レベルとなる。

【0045】このとき同時に、D-FF19がORゲート16の出力(e)の“L”レベルの論理状態を取り込み、D-FF20がORゲート17の出力(f)の“H”レベルの論理状態を取り込むことになるため、D-FF19の逆相出力QxであるUP信号のみが“H”レベルとなる。このとき、D-FF18の正相出力Q(g)が“H”レベルに遷移することに伴って、ORゲート16の出力(e)も“H”レベルに遷移する。

【0046】そして、時刻t13でクロックCLKが立ち上がることに伴い、D-FF19がORゲート16の出力(e)の“H”レベルの論理状態を取り込むため、UP信号が“L”レベルとなる。すなわち、NRZ信号のクロック周波数とクロックCLKの周波数とを比較した結果、クロックCLKの方の周波数が低い(周期が長

い)ことから、クロックCLKの周波数を高くするためのUP信号が、クロックCLKの1周期分の期間だけ出力されることになる。

【0047】なお、NRZ信号の次のデータ変化が時刻 t_7 と時刻 t_8 の期間で起こった場合には、この期間ではクロックCLKが“L”レベル、クロックSCKが“H”レベルの論理状態にあり、NRZデータが最初に変化したとき、即ち時刻 t_3 と時刻 t_4 の間と同じであるため、状態は変わらない。したがって、この場合には、クロックCLKの次の1周期である時刻 t_9 から時刻 t_{13} の期間においてNRZ信号のデータ変化を見る。

【0048】次に、図3のタイミングチャートに示すように、NRZ信号の次のデータ変化が時刻 t_8 と時刻 t_9 の期間で起こると、先の場合と同様に、EX-ORゲート12の出力(a)が再び“L”レベルから“H”レベルに遷移する。このとき、クロックCLK、SCKが共に“L”レベルの論理状態にあることから、その論理状態を取り込むD-FF13の正相出力(b)はそのまま“L”レベルの状態にあり、D-FF14の正相出力(c)は“H”レベルから“L”レベルに遷移する。

【0049】これにより、ORゲート17の3入力が全て“L”レベルとなるため、その出力(f)も“L”レベルとなる。そして、時刻 t_9 でクロックCLKが立ち上がることに伴い、これに同期してEX-ORゲート12の出力(a)が“L”レベルに戻り、またD-FF18がORゲート15の“H”レベルの論理状態を取り込むことにより、その正相出力Q(g)が“H”レベルとなる。

【0050】このとき同時に、D-FF19がORゲート16の出力(e)の“H”レベルの論理状態を取り込み、D-FF20がORゲート17の出力(f)の“L”レベルの論理状態を取り込むため、D-FF20の逆相出力QxであるDOWN信号のみが“H”レベルとなる。このとき、D-FF18の正相出力Q(g)が“H”レベルに遷移することに伴って、ORゲート17の出力(f)も“H”レベルに遷移する。

【0051】そして、時刻 t_{13} でクロックCLKが立ち上がることに伴い、D-FF20がORゲート17の出力(f)の“H”レベルの論理状態を取り込むため、DOWN信号が“L”レベルとなる。すなわち、NRZ信号のクロック周波数とクロックCLKの周波数とを比較した結果、クロックCLKの方の周波数が高い(周期が短い)ことから、クロックCLKの周波数を低くするためのDOWN信号が、クロックCLKの1周期分の期間だけ出力されることになる。

【0052】なお、NRZ信号が時刻 t_5 と時刻 t_6 の期間でデータ変化したときには、この期間ではクロックCLKが“H”レベル、クロックSCKが“L”レベルの論理状態にあり、D-FF13の出力(b)が“H”レベル、D-FF14の出力(c)が“L”レベルとな

り、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0053】また、時刻 t_5 から時刻 t_9 の期間でデータ変化がなかったときには、クロックデータが最初に変化したときの状態、即ちD-FF13の出力(b)が“L”レベル、D-FF14の出力(c)が“H”レベルの状態が維持され、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0054】さらに、クロックCLKの立上りの時刻 t_5 の前にデータ変化があった場合には、その期間ではD-FF18の正相出力Q(g)が“H”レベルの状態にあり、ORゲート16、17の各出力(e)、(f)が共に“H”レベルとなるため、UP信号およびDOWN信号は共に“L”レベルのままである。

【0055】以上の説明から明かなように、本実施形態に係る周波数比較器10によれば、参照クロックを用いなくても、NRZ信号のみで周波数比較を行うことができるとともに、NRZ信号の連続したデータ変化に限り周波数比較を行うため、UP/DOWNの判定を誤ることもない。

【0056】図4は、本発明に係るPLL回路の構成の一例を示すブロック図である。図4から明かなように、本発明に係るPLL回路30は、電圧制御発振器(VCO)31、位相比較器(PD)32、周波数比較器(FD)33、チャージポンプ回路34、35およびループフィルタ35、36を有し、周波数比較器33として、図1に示した構成の周波数比較器10を用いている。

【0057】上記構成のPLL回路30において、電圧制御発振器31の発振クロック(VCOクロック)は、位相比較器32および周波数比較器33の各一方の入力となる。位相比較器32および周波数比較器33は、NRZ信号を各他方の入力としている。

【0058】位相比較器32は、VCOクロックとNRZ信号の位相を比較し、その位相差に基づいて位相を進めるためのUP信号または位相を遅らせるためのDOWN信号を出力する。この位相比較器32の比較出力は、チャージポンプ回路34およびループフィルタ35を経て電圧制御発振器31にその位相を制御するための制御電圧として供給される。

【0059】一方、周波数比較器33は、VCOクロックとNRZ信号の周波数を比較し、その周波数差に基づいて周波数を高くするためのUP信号または周波数を低くするためのDOWN信号を出力する。この周波数比較器33の比較出力は、チャージポンプ回路36およびC/Rループフィルタ37を経て電圧制御発振器31にその周波数を制御するための制御電圧として供給される。

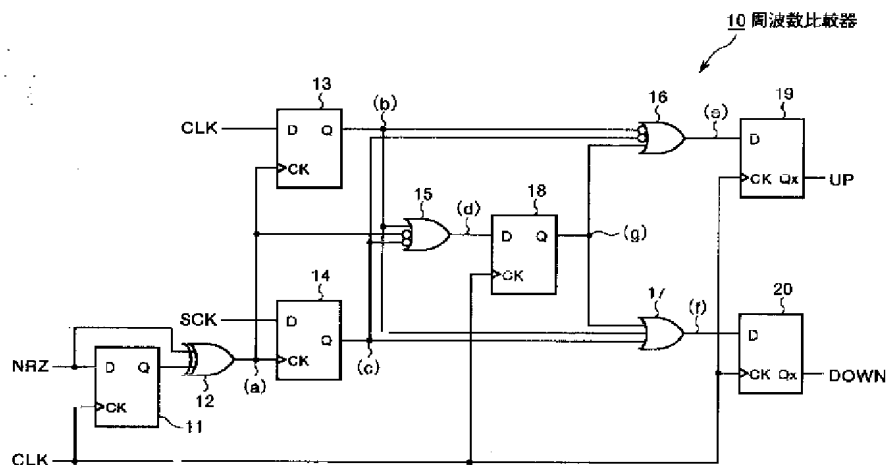
【0060】このように、図1に示した本実施形態に係

【図１】本発明の一実施形態に係る周波数比較器を示すブロック図である。

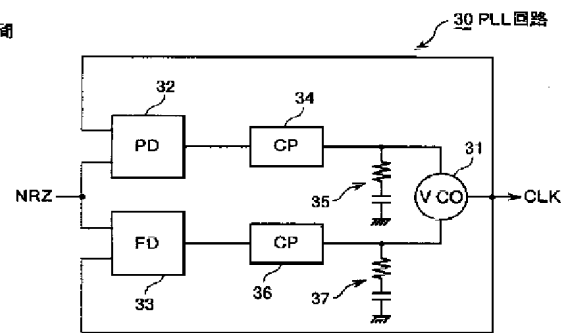
【符号の説明】

10, 33…周波数比較器、11, 13, 14, 18, 19, 20…D-フリップフロップ、12…EX(エクシクルーシブ)-ORゲート、15, 16, 17…3入力ORゲート、30…PLL回路、31…電圧制御振器(VCO)、32…位相比較器、34, 35…チャージポンプ回路

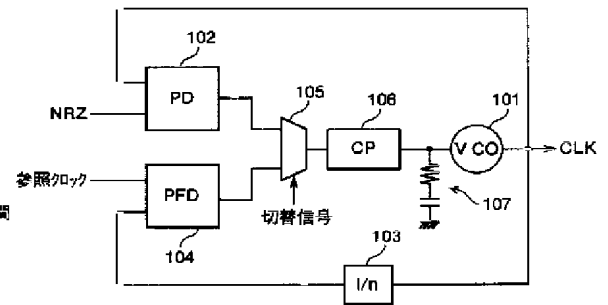
【图 1】



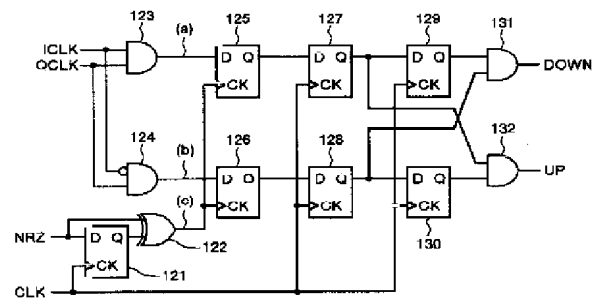
【図4】



【図5】



【图7】



【図8】

